

大学院		情報システム	研究科	博士前期課程	N	専攻
氏	名	Dahanayakage Chanadana Dinesh			学籍番号 0451020	
論文題目		QRPプロセッサの構築に関する研究				
<p>要 旨</p> <p>この論文では、キューとランダムアクセスレジスタ両方がオペランドとして扱うハイブリッドマイクロプロセッサのデザインとアーキテクチャを論じる。ランダムアクセスレジスタは一般のプロセッサでもっともよく使われている。しかし、レジスタプロセッサの開発はハードウェアのコンプレックスの限界にきていると言われている。</p> <p>一方、Data Flow Graph (DFG) に基づいた 実行プロセッサではデータのやり取りのルールが決まっているのでハードウェアコントロールが単純だと予想される。本研究室で研究しているキュープロセッサも DFG 実行プロセッサの一つとして考えられる。キュープロセッサでは、計算、演算にもとなるデータや命令がFIFOで取り出して実行するという前提で実行を行っている。それと、高いプログラムレベル並列度と短い命令幅で命令が実行可能になっている。</p> <p>しかし、DFG はそのまま、キュープロセッサで実行することはできない。クロスアーク、命令ホールという問題をなくするためにいろいろな工夫する必要がある。今までの研究では新しい命令を追加することによって上記の問題を解決していたが、本研究では解決方法としてキューの実行に向いてないデータをランダムアクセスレジスタに置き、キューとランダムアクセスレジスタ両方をオペランドとして扱える命令によって実行させる方法を提案して実現する。</p> <p>QRP ではキューとランダムアクセスレジスタ両方がオペランドの保持地として使っているし命令セットではキューだけをアクセスできる命令、キューとランダムアクセス両方をアクセスできる命令、ランダムアクセスレジスタだけをアクセスできる命令というふうにハイブリッド命令セットが使っている。</p> <p>よって、本研究では、QRP を VerilogHDL で記述して一つのマイクロプロセッサとして使って 1. キューだけを使うコンピューテーション 2. キューとランダムアクセスレジスタ両方を使うコンピューテーション という二つのコンピューテーションモデルのプログラムを同プロセッサで実行して、キューとランダムアクセスレジスタ両方を使うとき、よりよい性能が得られると証明した。それと、ランダムアクセスレジスタはどういう場合に使えば、性能工場になるかを調べた。その結果、ループ変数のインクリメント、プログラムのコントロール分の実行に関するところがランダムアクセスレジスタにもっとも向いていると分かった。</p>						